**候选人报告**

推荐时间：2022-06-15

**推荐职位：恒扬-fpga**

**个人信息**

姓 名：何优

性 别：男

户 籍：广西

现 居：广州

年 龄：1994/01

离职原因：公司组织改革后，工作的饱和度不够

**教育经历**

2014/09 – 2018/06 广西师范大学 电子信息工程 本科 统招

**推荐理由**1、熟悉**Verilog HDL** 硬件描述语言、熟悉test bench的编写

1. 熟悉Xilinx S6、A7、K7、Zynq平台开发
2. 熟悉**Xilinx**公司的ISE开发平台、Vivado开发平台、熟悉使用ChipScope工具
3. 熟悉Modelsim仿真验证工具 熟悉时序分析、时序约束、时序优化方法

5、掌握 DDR3存储器、Cameralink视频接口的使用熟悉DDC、DUC技术开发功能

**工作经历**

**2021/05 – 至今 广州慧睿思通股份有限公司 FPGA开发工程师**

**企业介绍：**始于2010年,是行业领先的无线电信号分析处理及基带通信解决方案提供商。提供数字对讲机,PDT,警用,无线,公网,智能等对讲机产品。

汇报对象：部门经理

**岗位职责：**

1、负责公司 Altera Arria 10 系列、Xilinx Ulterascale V7系列FPGA平台板卡的接口开发以及验证。  
2、配合DSP、ARM开发人员的程序联调，实现FPGA与DSP/ARM异构平台的处理器间通信开发。   
3、负责超短波项目的开发工作。   
4、参与5G测向项目的开发工作。

**2018/08 – 2021/04 广州创龙电子科技有限公司 FPGA工程师**

**企业介绍：**是国内领先的嵌入式产品平台提供商,业务主要涵盖工业核心板、工业评估板、项目服务

汇报对象：部门经理

岗位职责：

1、负责公司Xilinx Spartan6、Artix7、Kintex7、Zynq系列FPGA平台板卡的接口开发以及验证。  
2、配合DSP、ARM开发人员的程序联调，实现FPGA与DSP/ARM异构平台的处理器间通信开发。   
3、负责项目开发的FPGA选型、资源评估与方案评估及开发。   
4、负责客户反馈Xilinx Spartan6、Artix7、Kintex7、Zynq系列FPGA平台的BUG修护工作。

**项目经历**

**基于异构SOC的电力采集系统**

**项目职责：**

使用Ep4ce55f23i7平台开发，实现5片AD7616同时对外部80路电压进行采集，采集到的5片AD数据分为5组16bit 且通道排序为0-15的顺序组成形式，分别缓存到5个FIFO中，通过计数器计数5个FIFO中所存储的AD数据量。由于5片AD7616同时采集电压，故5个FIFO同一时刻缓存到的AD数据量是一至的，在计数器达到16384个数据量后，FPGA产生中断信号传送到AM5728，AM5728获取到中断信号通过GPMC总线发起读指令，读的数据总量为16384\*5\*16bit，依次将5个FIFO的AD数据读取并存储到AM5728的DDR3中，最终将80个通道的AD数据绘制波形。考虑到产品长时间运行，AD7616一直处于工作状态，为了防止5个FIFO出现数据溢出情况以及5个FIFO同缓存AD数据分时依次读取5个FIFO的数据传输到AM5728而导致绘制波形出现相位差问题，采用AM5728来复位FPGA。   
**项目总结：通过这次项目经历，掌握FPGA与DSP通信的GPMC总线协议和AD7616芯片的驱动。**

**基于SOC的电力采集系统**

**项目职责：**

使用Zynq-7020平台开发，PL端实现AD7616对外部16路电压进行采集，采集到的AD数据使用双口FIFO同时实现AD数据的持续采集与转换AXI Stream总线数据格式，通过DMA将AD数据存储到PS端DDR3中；PS端运行Linux4.9内核系统，将DDR3中的数据读取并保存CSV文件，最终将CSV文件的16通道的AD数据绘制波形。   
项目总结：通过这次项目经历，掌握了PL端普通数据流转AXI Stream总线的开发技术和AD7616芯片的驱动，熟悉了Linux系统下的基本操作。

**基于Sobel 算法的图像边沿检测**

**项目职责：**

通过Matlab采集一幅200\*200像素点的彩色图片的R、G、B信息，在PC端通过RS232串口发送给FPGA，调用两个FIFO作为数据流水线，构成3\*3 的Sobel 算法矩阵，与Gx、Gy算子进行运算。数据经过Sobel 算法处理得到的数据存进RAM中缓存，最后将缓存的数据读出并且通过VGA接口输出像素时钟为50Mhz，分辨率为640\*480的显示区域在液晶屏幕上显示，且图像具有移动效果。   
项目总结： 通过这次项目，进一步了解到FIFO的流水线操所以及VGA接口的图像数据显示。

**超短波多通道采存回传系统**

**项目职责：**

多通道采存回传系统主要包括两大信号采集存储与处理功能通道，分别是30M~3G信号采集处理通  
道和150M~400M信号采集处理通道；主要实现信号的：   
采集存储回传   
宽带扫频   
窄带检测   
窄带测向   
本人在该项目的主要实现功能是对两大信号的采集存储回传功能，采用PC + DSP + FPGA的框架来实现。

通道1：30M~3G(带宽为72M~36M或者20M~5M)频段信号采集存储回传，ADC(实数采样，采样率204.8M)数据输出接口为 JESD204B，系统时钟102.4MHz，其带宽为102.4M\*IQ(32bit)3276.8Mbit，8b10b编码后的带宽为4096Mbit。采用两个DDR4控制器分别控制两组DDR4，其带宽为1866M\*64bit=116.625Gbit，采样半双工模式其带宽为58.3125Gbit，满足 JESD204b带宽要求。由于存储的数据量庞大，需要将数据存储到固态硬盘中，SATA3.0接口控制器带宽为6Gbps，按照8B10B编码，其实际带宽为4.8Gbps，由于不同厂家的SATA硬盘性能可能存在差异，为保留裕量每个SATA3.0的带宽假定为2.0Gbps。则大概需要2块SATA3.0以上的硬盘并行读取DDR4中的数据以轮询方式访问并存储到多块SATA硬盘中。   
通道2：150M~400M(带宽250M)频段信号采集存储回传，根据采样定理，采样率必须为信号带宽的2倍以上，根据ADC芯片数模转换性能，最终选定614.4M的采样率进行采样。ADC传输带宽为614.4M\*16bit=9.8304Gbps，JESD204b核进行数据接收以及串并转换为153.6M\*64bit 传输带宽，按照8B10B编码每个 lane速率为6.144Gbps，总共2个 lane工12.288Gbps满足带宽要求。DDR4部分与30M~3G频段方式一致，大概需要6块SATA3.0以上的硬盘并行读取DDR4中的数据以轮询方式访问并存储到多块SATA硬盘中。   
FPGA设计方案：   
1、PC下发开始采集指令，DSP接收后，配置FPGA寄存器开始采集工作。   
2、JESD204B接口通过AD6674采集数据通过两个DDR4控制器采用轮询方式将数据分别存储到  
两组DDR4中，写完一组DDR4后切换到另外一组继续写DDR4。   
3、在写完一组DDR4后发送请求信号到下级模块，可以开始读取当前DDR4中的数据并存储到  
SATA硬盘中。   
4、将DDR4读出的数据以16Mbyte为存储单位，采用轮询的方式写入挂载的多个固态硬盘中，等  
待PC下发结束采集信号给DSP，DSP接收到接收采集信号后下发停止采集操作指令，FPGA停  
止采集并上报存储在SATA硬盘中数据的起始、结束地址，同时上报结束采集中断。   
5、PC下发开始数据回传指令，DSP接收后，配置FPGA的SATA接口读地址、读长度等寄存器，  
开始读取SATA硬盘数据。   
6、由于采集存储的数据量庞大，DSP的内存有限，每次从SATA硬盘中只读取128Mbyte数据上  
传到DSP的内存中，DSP通过千兆网上传到PC保存。重复以上操作实现将采集存储到SATA  
硬盘的数据上传到PC端保存。   
项目总结：**通过这次项目，熟悉了SATA3.0高速存储接口协议，加强了在PC+DSP+FPGA多核异  
构系统的联调方法。**

**基于SOC的视频图形采集系统**

**项目职责：**

使用Zynq平台开发，工业相机采集的图像数据通过Cameralink接口传输到FPGA，经过Cameralink解码模块，把LVDS的差分图像数据解码成RGB888和行场同步信号，通过v\_vid\_in\_axi4s IP 核把RGB888格式的图像数据转换成AXI4 Stream总线，传输到VDMA把RGB图像数据存储到PS端DDR3中。v\_mix IP核读取DDR3中的图像数据传输到v\_axi4s\_vid\_out IP 核，最后通过HDMI 接口在液晶屏幕上显示实时采集的图像。整个图像采集系统可实现帧率、曝光、图像分辨率的调节。IP 核的配置采用Linux shell 脚本方式。   
项目总结：通过这次项目经历，掌握FPGA对Cameralink高速视频接口的驱动开发，熟悉了Linux shell  
脚步来实现配置 IP 核的开发方式，对Zynq平台的开发有了进一步提升。

**5G测向项目**

**项目职责：**

整个5G测向项目包括HA1~HA5的五个加速器的设计开发：  
HA1：主要是对多个天线采集的数据进行DDC处理，根据5G协议帧格式往其他加速器分发数据。  
HA2：主要实现NID盲解算法。   
HA3：主要实现POLAR码的编解码。   
HA4：主要是信道估计的算法实现。   
HA5：主要为MIMO和LDPC的一些处理。   
本人在该项目的主要参与实现HA1加速器的设计与开发工作。采用ARM+DSP+FPGA的多核异构  
架构来实现。   
AD9025通过 JESD204B接口传输数据，FPGA接收4组天线的AD数据进行DDC处理，即将码率  
为122.88M是IQ数据进行抽取滤波为4路30.72M码率的17.28M带宽数据和122.88M码率的100M  
带宽数据。由于5G测向系统没有GPS，无法做到与基站的发送的帧数据同步。其中4路30.72M码率  
的数据打包成cpri 协议通过AIF接口传输到DSP，DSP对4路30.72M码率的IQ数据解算出空口帧同  
步点后，将空口帧同步点的位置发送到FPGA，FPGA内部存在一个内部的10ms帧同步点，根据DSP  
发送的帧同步点位置与FPGA内部10ms的帧同步计数器位置重叠后，得到实际基站发送的10ms帧同  
步点。另外一路122.88M码率的100M带宽IQ数据根据DSP配置的相位补偿寄存器进行相位补偿即复  
数相乘，再去掉每个 symbol 的CP头。最后对其进行FFT得到3276个频域点+820个重复的相位因子。  
对1个 slot 的14个 symbol 做拉齐缩放因子操作，目的是为了 slot 的FFT缩放因子对应的FFT数据保  
持一致。拉齐的方法，找出1个slot 的14个symbol的最大缩放因子，用做大的缩放因子减去每个symbol  
的缩放因子得出一个值，把当前 symbol 的数据根据根据缩放因子的结构进行算术右移即可。最后对拉齐  
后的数据做以下操作：   
1、拉齐后的数据存3S数据量存储到DDR3中，用于HA2的NID检测模块进行非实时NID检测。  
2、拉齐后的数据实时存储规定的3个 symbol 的3个dmrsRe，用于HA2的实时NID检测。   
3、拉起后的数据存规定的几个 symbol，1个 slot 的前3个 symbol，通过SRIO接口发送给DSP，  
用于检测PDCCH。   
4、拉齐后的数据存规定的48RB，用于解析PUSCH。   
5、拉齐后的数据存规定的20RB，通过PCIe接口发送给DSP，用于解析SSB。   
项目总结：通过这次项目，熟悉Xilinx的Ulterascale V7系列芯片的资源和 IP 使用，学习到了DDC  
技术的实现方法，对5G协议物理层有了一定的了解。

**H信号收发系统**

**项目职责：**

该项目主要实现的功能：  
信号侦收，其中包括前端38M接收带宽窄带扫频，信号检查核信号参数估计。   
信令控制，根据客户需求在136M~174M带宽中将64路信令合成1路并发射。   
本人在该项目的主要实现功能是信令控制功能，采用PC + DSP + FPGA的框架来实现。将64路信令合成1路并发射，实现同时对最多64个对讲机实现个呼、组呼、广播、遥晕、遥毙、激活和状态查询等功能。PC下发个呼、组呼、广播、遥晕、遥毙、激活和状态查询等指令给DSP，DSP接收到指令后，生成低速率实数MSK，再对MSK信号调制成相同采样率的FM信号。DSP通过PCIe将调制后的数据发送到FPGA，FPGA进行插值、滤波、变频后。再多路求和，最后送至DAC整体上变频发射。 DSP先根据信令结构生成326bit 数据，根据不同符号速率1200/2400调制成38.4KHz 的采样率的MSK实数信号，1200速率对应10429个点，2400速率对应5215个点。再调制成同采样率的FSM信号，每一路都是独立生成，最多64路。 对于采样率38.4KHz 的多路FM信号，需要分别对每一路的FM信号进行插值、滤波、变频，最后多路合成并发射。信号要在38M(136M~174M)带宽内发射，待发射的IQ复数FM信号采样率为61.44MHz需要进行1600倍的插值滤波(38.4K\*1600=61.44M),FPGA对1600倍插值滤波分为16、10、10倍进行插值、滤波、变频、合成和发射。   
FPGA设计方案：   
1、DSP将调制好的一路IQ数据通过PCIe发送到FPGA的 ram中缓存。   
2、以9.6K(对38.4K码率的IQ 数据进行4倍缩放来满足DDR3用户接口的带宽)的码率将RAM  
中的IQ数据逐个经过三个级联的FIR滤波器(内插16倍、10倍、10倍)插值1600倍，通过  
nco混频到137M~174M带宽内。   
3、将第一路混频后的数据存储到DDR3中，并返回一个中断信号给DSP完成第一路信令的处理。  
4、DSP接收到中断信号开始下发第二路信令重复1、2步骤，在步骤3中读出缓存在DDR3的第  
一路信令数据与第二路信令合成后，再存储到DDR3中，并返回一个中断。   
5、将所有信令合成并存储到DDR3中，读出DDR3中多路合成后的信令数据通过AD9361发射出  
去。   
项目总结： 通过这次项目，熟悉了Quartus开发平台，同时也熟悉了对Altera Arria 10系列芯片  
的开发；学习到了DUC技术的实现方法，FIR滤波器的设计和使用方法。