



# 梁瑞彬

男 | 38岁    ☎ 15759229964

13年工作经验 | 求职意向: FPGA开发 | 期望薪资: 55-75K | 期望城市: 深圳

## 个人优势

- 1、13年 FPGA 开发经验，涉猎多个高性能产品方案开发，架构设计，掌握 verilog和 system verilog，使用 vivado, ise, modelsim, quartus 等工具
- 2、基于 vivado SOC 系统设计，熟悉硬件架构搭建，自定义外设 IP 开发，Linux 系统移植，驱动程序开发，掌握C/C++
- 3、性能优化和低功耗设计
- 4、团队管理，担任项目带头人，部门经理

## 工作经历

**厦门市美亚柏科信息股份有限公司**      FPGA开发      2012.08-至今

### 内容:

- 1、担任部门经理，成员12人，3个项目团队，主要工作负责沟通上级，协调资源，任务分派，周例会，KPI 周绩效考核，团队建设等
- 2、FPGA 团队带头人，成员4人，负责芯片选型，方案设计，架构设计，任务分配，核心模块开发、代码评审，指导逻辑工程师完成模块设计和调试等

### 业绩:

- 1、基于 FPGA 的高带宽网络汇聚分流分析系统
- 2、基于 FPGA 芯片阵列的超算破解分析系统
- 3、此外还涉及 AI 项目 TensorRT 研究并进行人脸识别模型的 verilog 实现和性能优化、USRP 项目数字中频和基带多载波开发等

**中兴通讯股份有限公司**      fpga开发工程师      2010.08-2012.07

### 内容:

- 1、数字中频算法 FPGA 开发

### 业绩:

先后参与了 WCDMA, TD—SCDMA等3G网络基站端数字中频算法 FPGA 开发实现和优化

## 项目经历

**高带宽网络汇聚分流过滤系统**      FPGA项目带头人      2018.12-至今

### 内容:

项目采用 xilinx VU9P主芯片外挂4路 DDR4，同时对多路100G以太网数据报文进行解析查表和过滤分流。FPGA 实现功能包括报文缓存，网络报文L2—L5解析（TCP/UDP, GTP, IPinIP等），流表，信令账号表，分片包管理，过滤规则，10G口配置通道等，

### 业绩:

ATCA 架构单板具备600G处理性能，在同业竞争中，性价比最高  
目前正在开发正交架构，单板处理性能1.6T~2.4T

**超算破解分析系统**      FPGA项目带头人      2014.09-2018.12

项目采用 ATCA 刀片式板卡，单板16颗325T FPGA 芯片，通过 PCIE 桥连接，采用 PR 技术实现破解算法实时在线更新切换，先后实现100多种加密算法的破解加速，包括 MD5/4, SHA1/256/512,

office03/07/2000, pptp, rar等, 部分算法如 pptp 实现24小时必破, 比同期 GPU 卡快近千倍, 比同类架构产品快3倍。

**3G 数字中频**      开发工程师      2010.08-2012.07

参与3G基站端数字中频算法的 FPGA 实现, 包括 MATLAB 设计滤波器, DDC, DUC, CFR, DPD等

## 教育经历

**厦门大学**      硕士 电路与系统      2007-2010

**长沙理工大学**      本科 电子信息工程      2003-2007