

# 张焱

应聘：FPGA 设计师



📅 年龄：28 岁  
🏠 现居：XXXX

☎ 电话：187-0140-3802  
✉ 邮箱：779009545@qq.com

## 自我介绍

- 有近6年 FPGA 开发工作经历，有丰富的项目开发经验，有很强的分析问题和解决问题的能力。
- 熟练使用常用的 FPGA 开发软件：ISE，Vivado；及使用 matlab 对相关算法仿真。
- 熟悉 Xilinx FPGA 芯片结构及应用。
- 熟悉北斗短报文体制、卫星通信多阵元抗干扰算法、5g协议（不触及算法仿真，熟悉设计实现）。
- 熟悉使用示波器、频谱仪等通信实验测试中的常用仪器。
- 掌握 FPGA 软件的开发流程，对GJB9000a 质量管理体系有一定的认识。
- 熟悉 I<sup>2</sup>C、uart、spi等接口的开发，了解高速收发器原理。
- 对FPGA 时序处理方法有一定的认识，具备大规模FPGA开发的经验。
- 熟悉 FPGA 代码走查及测评工作

## 工作经历

2016.06~2019.10

航天恒星科技有限公司

FPGA 设计师

- 负责完成项目 FPGA 开发，编写项目文档，完成项目开发和测试，做好开发后期的维护工作。
- 负责关键技术攻关：多阵元抗干扰算法、某通信体制的设计。
- 负责某些关键技术的外协，包括前期调研，需求分析，FPGA 实现，项目运用。
- 参与 FPGA 通用模块的维护。
- 参与技改项目，多阵元抗干扰实验室的搭建。

2020.06~2021.09

广州慧睿思通信息科技股份有限公司

FPGA开发工程师

2021.09~2022.02

广州慧睿思通信息科技股份有限公司

FPGA业务组长

2022.02~至今

广州慧睿思通信息科技股份有限公司

FPGA部门经理

- 负责项目 FPGA 开发，参与系统架构的搭建，编写项目文档，完成项目开发和测试，做好开发后期的维护工作。
- 处理部门事宜，带新人。

2016.06~2019.10

### 某卫星通信接收机 1

- **开发工具:** ISE14.7 及 vivado2012
- **算法仿真工具:** matlab
- **仿真工具:** ISE14.7 及 vivado2012 自带软件及 modelsim
- **责任描述:**
  1. 参与项目时, 产品已经完成开发, 但后期产品抗干扰性能有提高的需求, 负责此项目后期的维护以及 抗干扰算法的攻关
  2. 负责产品交付客户后的维护, 包括: 回归测试工作、代码走查等工作。

2018.10~2019.10

### 某卫星通信接收机 2

- **开发工具:** ISE14.7
- **算法仿真工具:** matlab
- **仿真工具:** ISE14.7 自带软件及 modelsim
- **责任描述:**
  1. 参与项目的需求分析, 提供芯片选型意见, 负责 FPGA 软件。
  2. 实现通过 RAPIdio 接口实现 FPGA 的程序升级。
  3. 完成相关接口的编写, 负责该通信体制的外协任务, 与外协单位共同实现接收机的多天线接收。

2019.01~2019.5

### 某卫星通信接收机 3

- **开发工具:** vivado2015
- **算法仿真工具:** matlab
- **仿真工具:** vivado2015 自带软件
- **责任描述:**
  1. 参与项目的需求分析, 提供芯片选型意见, 负责 FPGA 软件。
  2. 完成相关接口的编写, 负责该通信体制的外协任务, 该项目为较新通信体制, 完成预研。

2017.12~2019.01

### 多阵元抗干扰攻关

- **项目描述:** 设计具有较高抗干扰性能的算法, 完成抗干扰模块库建设。
- **责任描述:** 参与抗干扰算法的编写, 及 FPGA 实现后的验证测试。

2019.01~2019.5

### 抗干扰实验室建设

- **项目描述:** 国家技改项目, 建设多阵元抗干扰实验室。
- **责任描述:** 参与多阵元抗干扰实验室建设方案的论证, 负责仪器设备调研及相关材料编写。

2020.06~2022.02

### 小基站项目

- **项目描述:** 5g微基站 (oran) 加速器功能: 下行4层4天线 上行2层2天线
- **责任描述:** 参与bbu部分high phy的设计和实现, 负责多个加速器;
  1. 负责下行链路加速器的设计实现、总体仿真与联调, 代码: pbch、rs信号的生成等模块;
  2. 负责pusch信道bit级处理的设计实现、总体仿真与联调, 代码: mimo, 解码块分割等模块;

2022.02~至今

### 5g测向项目

- **项目描述:** 被动式多运营商5g手机定位设备
- **责任描述:** 负责pdsch信道bit级处理加速器的设计实现、总体仿真与联调; 协助各加速器仿真级联调
  1. 重新梳理小基站项目4层4天线的pdsch信道bit级处理, 重新设计解ldpc速率匹配的相关模块并重写;
  2. 指导设计4层4天线的mimo;

3. 协助跟进FPGA的总体联调;
4. 总体设计后续衍生的子板卡项目;

## 教育培训

2012.08~2016.06

南京航空航天大学

通信工程

本科

2016.06~2019.10

期间参与多个关于FPGA 培训及通信相关培训