

程永钊

(推荐职位: 恒扬数据-FPGA)

推荐日期: 2019/05/27

推荐重点:

- 本科学历, 近 9 年 FPGA 逻辑设计经验;
- 曾在佳讯飞鸿, 中兴担任逻辑工程师职位, 目前在华为就职 FPGA 逻辑工程师;
- 具备 DDR4, sgmi, mii 等高速接口经验。

薪酬信息:

- 目前薪资 (税前): 35K/M*18M+股票分红
- 期望薪资 (税前): 面议

基本信息

性 别: 男

出生年月: 1988

所在地: 北京

教育背景

2006.09 - 2010.07 北京理工大学 电子科学与技术 本科

工作经验

2017.03 - 至今 华为技术有限公司

职位名称: FPGA逻辑工程师

看机会原因: 目前工作在北京, 想回深圳发展

工作职责和业绩:

- 完成 802.3br 协议中, 关于多通道 mac 相关的代码设计, 代码量为 21k;
- 参与部门的 flexeth 单板的逻辑开发, 独立完成对应模块的设计, 代码量为 35k, 资

源使用量比器件厂家提供的 ipcore 优化 20%;

- 完成 xlaui/caui 接口到包接口转换模块的设计, 形成组件, 使用到多个项目中;
- 作为项目经理, 完成 ACL 查表算法项目的逻辑工作。完成项目的需求分析, 器件选项, 方案设计, 逻辑编码, 代码仿真, 项目的后端等工作, 代码量为 75k, 项目涉及 DDR4, pice, ILA 等接口;
- 作为项目经理, 完成子卡项目的开发, 主要是完成老单板的逻辑器件替代, 缓存方案的修改, 项目设计 DDR4, sgmi, mii 等接口。

2013.08 - 2017.03 中兴通讯股份有限公司

职位名称: FPGA逻辑工程师

工作职责和业绩:

- 完成 OTN 协议中 OTU2 项目, 10X10G 单板的逻辑开发, 包括大逻辑与控制逻辑, 主要完成协议转换与开销提取。使用工具为 quartus 与 vivado;
- 完成 OTN 协议中 OTU4 项目, 12X100G 单板的逻辑开发, 使用的器件为 Xilinx 的 16nm 器件 VU9P, 前期完成资源与功耗评估, 在资源使用达到 70%之后, 分析工程添加约束, 最终完成时序收敛。该项目为当年公司重点项目。

2010.07 - 2013.08北京佳讯飞鸿电气股份有限公司

职位名称: FPGA逻辑工程师/硬件工程师

工作职责和业绩:

- 主要从事 FPGA 逻辑设计;
- 完成 FPGA 实验板的设计, 以公司原有产品一块插板为原型, 把板上原有的 CPLD 芯片, HDLC 协议芯片, 数字交换芯片全部用一片 FPGA 芯片替代。完成原理图的设计。涉及 SD 卡, SDRAM 与以太网;
- 编写逻辑实现 HDLC 芯片的功能, 数字交换芯片的功能, HDLC 芯片的功能;
- 完成公司设计的 U 口工装板上逻辑的编写与调试, 该工装板主要用于筛选芯片;
- 产品成型之后, 负责产品的测试工作。有 EMC 测试, 包括静电抗扰度, 雷击浪涌, 群脉冲; 以及环境适应性测试, 如高低温, 振动等测试。