

# 曾立

13261301988 | zengli\_25@qq.com



## 教育背景

英国南安普顿大学 | 电子工程 | 工学硕士 2019.09 - 2020.12

主修: 数字集成电路设计, 数字系统设计, 数字系统综合, 信号处理, 嵌入式处理器等

英国中央兰开夏大学 | 电子工程 | 工学学士 2016.09 - 2019.06

主修: 数字系统, 模拟电子系统, 程序设计开发, 片上系统设计, 机器智能, 数字系统应用等

## 工作经历

京信通信 | 硬件部 | FPGA 工程师 2020.11 - 至今

主要职责: FPGA 逻辑开发, 仿真, 调试, 具体方向是数字信号处理

## 项目经历

**数字 DAS 近端 DCU 板卡开发** 2021.12 - 至今 京信通信

开发工具: Quartus 20.4

芯片: Altera Stratix 10 TX2800

- 项目简介: DCU 支持 16T16R, 支持 600 ~ 4000MHz 工作频段, 支持 14 个 25G 光口。为了把 IQ 数据送到 CPRI 接口进行传输, 需要完成 JESD 接口处理、上下变频处理、通道路由处理、容器信源映射、光口组帧等多种操作
- 完成 DDC/DUC 数字变频, 多速率滤波, AGC, PLAGC, 多载波路由, 数字 ATT 等功能模块的代码编写与调试
- 完成 JESD204C, JESD204B 协议及其组解帧的代码开发和调试, JESD 主要完成 ADRV9025 和 ADRV904X 两种采样率的 AD/DA 信号的接收和发送
- 完成 NR TDD 同步 (外接 NR 同步模块) 的代码整合和调试, 完成 25g 光口, 以太网链路调试
- 对各个模块和 FPGA 整体进行资源评估, 时序分析与约束

## 5G RFC 板卡开发

2021.04 - 2022.04 京信通信

开发工具: Quartus 20.3

芯片: Altera Stratix 10 TX2800

- 项目简介: 研发一款全频段近端产品, 支持将 5G TDD-NR, 4G FDD-LTE 转换为数字信号, 通过光纤传输到远端 ASIR-sHUB。需要完成 NR 和 LTE 不同频段射频信号接入功能
- 完成 DDC/DUC 数字变频, 多速率滤波, 多带宽可配滤波器, AGC, PLAGC, 功率统计, SPI 交互, 数字 ATT, pe4312 接口, LTE 多载波路由等功能模块的代码编写与调试
- 完成 NR TDD 同步 (外接 NR 同步模块) 的代码整合和调试
- 完成 JESD204B 协议代码开发和调试, JESD 主要完成 ADRV9025 和 ADRV9370 两种采样率的 AD/DA 信号的接收和发送

## 眼图测试

2021.01 - 2021.03 京信通信

开发工具: Vivado 2018.3

芯片: Xilinx 7z100

- 项目简介: 产险反馈其中一批整机存在一个通道底噪异常, 高温 AGC 起控, 建链失败等情况。是 AD9025 与 FPGA 之间的高速线有问题, 需调整预加重等参数
- 两端器件互发 PRBS, 根据 Xilinx FAE 的建议, 设置不同参数观测眼图进行实验, 并对设备进行高低温稳定性测试, 完成问题排查

## 基于 FPGA 实现鸢尾花的分类

2020.06 - 2020.09 南安普顿大学

开发工具: Quartus 18.1

芯片: Altera Cyclone IV E

- 项目简介: 在 FPGA 上实现对鸢尾花的分类, 基于百度的 paddlepaddle 框架使用 python 训练数据集, 导出权重并存入 FPGA, 用 System Verilog 搭建人工神经网络
- 在 FPGA 上的工作主要完成 IEEE 754 标准的浮点乘法器, 各级神经元连接权重之间的运算的代码编写和仿真, 搭建人工神经网络, 最终通过开发板 DE1 SoC 验证鸢尾花的类别

## 个人技能

- 熟悉 Quartus, Vivado, Modelsim, Matlab 等软件
- 熟悉 Verilog, 了解 System Verilog, VHDL 等
- 熟悉 SignalTap, iBERT, Linux 环境下的操作
- 掌握 JESD 接口, 数字中频信号链路模块, 如 DDC/DUC, FIR 滤波, AGC, PLAGC, 数字增益等模块
- 了解 FPGA 资源评估, 时序分析与约束, 跨时钟域处理
- 获得两次学业奖学金

## 个人优势

- 学习能力强, 热爱技术, 意向 FPGA 领域
- 工作责任心强, 擅长沟通, 能与各部门对接