

猎萝卜推荐报告

推荐职位：高级 FPGA 工程师（一部）

个人信息

姓 名：曾昭强

性 别：男

出生日期：1994-01

工作年限：1 年 9 月

所在城市：上海市

求职动机：个人原因

期望城市：广东省/深圳市

推荐理由

- 1，候选人在上海中兴研发中心做 FPGA 开发。
- 2、武汉大学本硕连读。
- 3、熟悉 xilinx 及 Altera 系列 FPGA 器件开发及调试，熟练使用 vivado/quartus/modelsim 等 EDA 工具，能够在设计中进行功耗及资源评估、时序优化，具有多个项目的板级开发经验。
- 4、精通 verilog 硬件描述语言，熟练使用 matlab/python 对 FPGA 设计进行对数分析。
- 5、熟悉 5G 通信基带处理、数字滤波、DPD、信道估计及均衡等算法原理及 FPGA 实现。
- 6、熟悉 jesd204c、SGMII、spi 等接口协议，熟悉 ADDA、波束赋形 NXP 等射频芯片的 FPGA 控制。
- 7、熟练阅读英文文献及技术手册，沟通和学习能力强。
- 8、离职原因是因为想去深圳工作。

教育经历

2016-09 至 2018-06	武汉大学	通信工程	硕士（统招）
2012-09 至 2016-06	武汉大学	通信工程	本科（统招）

工作经历

 2018-06 至今（1 年 9 个月） 中兴通讯股份有限公司上海研发中心
担任职位：FPGA 开发工程师

工作职责：

- 入职两年参与过多个项目的开发和调试工作
- 总结为两部分：
- 1、5G基带通信算法实现，
- 2、5G中频通信算法实现。

离职原因：

想换到深圳长期发展

项目经历

项目时间：2018-06 至今(1 年 9 个月)

项目名称：5G 基带通信算法实现

所在公司：中兴通讯股份有限公司上海研发中心

项目职位：FPGA

项目描述：

- 完成数据从bit级到符号级的转变，并保证数据从信源到信宿的可靠性。

项目业绩：

- 1、参与基带处理方案讨论，进行基带处理算法方案评审；
- 2、完成信道估计及均衡、调制解调、子载波映射、卷积编码、CRC校验、交织解交织的FPGA实现及验证；
- 3、完成基于SGMII协议的信道估计特定序列的传输的FPGA实现；
- 4、总结调试经验，完成故障复盘及排查手册的编写，完成FPGA设计方案的编写并归档。

项目时间：2018-06 至今(1 年 9 个月)

项目名称：5G 中频通信算法实现

所在公司：中兴通讯股份有限公司上海研发中心

项目职位：FPGA

项目描述：

- 信号从数字基带到射频模拟端需要经过中频处理，其作用是将信号进行频谱搬移、功率自适应及采样率变换。

项目业绩：

- 1、负责基带多载波信号的频谱搬移、功率反馈调节、升降采样滤波的开发及系统调试；
- 2、根据项目频带及带宽需求，完成对ADDA器件的配置及信号在FPGA和ADDA器件之204C传输协议的开发及调试；

- 3、负责TDD切换中射频开关、上下混频器、NXP等射频器件的时序控制及调试；
- 4、数字预失真DPD的FPGA实现；
- 5、总结调试经验，完成故障复盘及排查手册的编写，完成FPGA设计方案的编写并归档。

语言能力

语种： 英语

个人简介

吃苦耐劳，耐心细致，求知若渴，不骄不馁；

积极承担项目中关键部分的开发及调试任务，喜欢新挑战且上手很快，按时保质完成交付；

工作效率高，懂得及时沟通和反馈，与上下游团队合作顺畅；

善于总结输出，工作仔细，极少犯同一个错误；

热爱运动，作为主力成员曾获得过团体赛全国冠军，具有很强的团队协作意识，能带动团队氛围。

技术能力

熟悉 xilinx 及 Altera 系列 FPGA 器件开发及调试，熟练使用 vivado/quartus/modelsim 等 EDA 工具，能够在设计中进行功耗及资源评估、时序优化，具有多个项目的板级开发经验。

精通 verilog 硬件描述语言，熟练使用 matlab/python 对 FPGA 设计进行对数分析。

熟悉 5G 通信基带处理、数字滤波、DPD、信道估计及均衡等算法原理及 FPGA 实现。

熟悉 jesd204c、SGMII、spi 等接口协议，熟悉 ADDA、波束赋形 NXP 等射频芯片的 FPGA 控制。

熟练阅读英文文献及技术手册，沟通和学习能力强。

客户方接收到此份文件所载信息之时即负有保密义务，仅限于客户方相关人员使用，未经书面许可，不得擅自使用或透露、披露、移转、转让或以其他方式提供给第三方。否则，客户方须承担相应的法律责任，包括但不限于按照双方协议支付全额服务费用，全权负责处理由此产生的客户方与候选人或其他第三方之间的争议、纠纷等。