

邹九发

求职意向：FPGA 开发工程师



生日：1995.09.16

187 7902 2892

现居：广州·番禺

zoujiufa@163.com



教育背景

2018.09-2021.06

宁波大学（双一流）

集成电路工程

硕士研究生

主修课程：高级算法设计及优化、高级数字系统设计、集成电路设计基础、数字集成电路的自动设计、低功耗集成电路设计、数模混合集成电路设计、工程伦理、近代电路理论、SOC 设计等。

2014.09-2018.06

赣南师范大学

电子信息工程

本科

主修课程：数字电路、模拟电路、C 语言程序设计、大学物理、物联网与无线传感网络、FPGA 技术等



工作&实践经历

2021.07-2021.11

赣州移动

DICT 解决方案经理

工作描述：

1. 了解 5G 行业动态，协助项目经理提出行业解决方案，为客户经理提供方案培训及售前支持。
2. 负责相关团队的组建、管理，制定有效的流程规范，为项目进展提供全面的技术保障。
3. 对接区县公司，全程跟踪项目进展，项目遇到问题需协调相关单位，保证项目按时按质交付。

2021.12-至今

广州慧睿思通科技股份有限公司 FPGA 开发工程师

工作描述：

1. 参与 5G 小基站开发项目，主要是配合算法和 DSP 进行用例批量仿真和上板调试，通过该项目熟悉 FPGA 开发流程，5G NR 物理层协议和严格的代码规范、版本管理。期间优化过一个 PN 码生成模块，实现一拍出 128bitPN 码，减少了数据处理时间和优化了存储空间。
2. 参与 5G 单兵测向系统项目，主要是根据算法提供的方案进行 HA5 中 bit 处理模块的代码修改，负责解速率匹配，解扰模块的功能实现，对修改完的代码进行仿真，批量用例通过后，上板调试，期间需要定位 bug 和解决 bug。



工作技能

1. 熟悉 FPGA 的开发流程，有一定的项目经验；
2. 熟悉 Xilinx 的 FPGA 芯片 VU9P，了解常用的接口 IP，如 pcie；
3. 熟悉 verilog HDL，了解 systemverilog；
4. 熟悉 vivado, modesim 等 EDA 工具；
5. 熟悉 bat，了解 TCL，python，makefile 等脚本语言；
6. 熟悉 C 语言，了解 C++；



自我评价

过去的一年里，我换了两份工作，从一开始职业规划的不成熟，到最后选择了跟自己专业和课程相关的 FPGA 行业，我觉得自己还是幸运的，这个过程让我更重视每一次来之不易的机会和善意。在过去一年的工作中，让我养成了良好的团队协作意识，提高了沟通能力。面临不同行业，有不同的挑战，积极乐观的心态让我能够克服困难，主动学习和提升自己，完成自己的工作任务，为团队做出一份贡献。