杨刚 PERSONAL RESUME

性别：男　　年龄：41

户籍：北京　　现所在地：深圳

求职意向

意向岗位: 高级FPGA开发　　意向城市: 深圳

教育经历

2006.09 - 2009.07　　**中国科学院电工研究所**

电力电子 | 硕士

2001.09 - 2005.07　　**湘潭大学**

测控技术与仪器 | 本科

相关技能

1、统招硕士，有13年的FPGA开发经验，负责项目设计、逻辑编码、算法实现、调试直到产品交付；

2、已落户北京，之前长期在北京，航宇天穹每月只休1天，每晚加班到11点，所以离职了；镭航还比较稳定，但多年来妻子体寒，去年底已离职。目前已到深圳，还没有确定offer；

3、上一份税前薪资22K/月，对深圳的薪资以面谈为主；

工作经历

2009.07 - 2011.11　　**北京泰美世纪科技有限公司**

fpga开发工程师

2011.03--2011.11　将tuner接收数据处理

将tuner接收的40个时隙的数据进行接收，读取其中有效的数据和控制信息，判断是哪个时隙的数据，然后存入对应的sdram块中。

将sdram分成40份，分别存取对应的时隙数据，控制信息存入ram中缓存，按时隙顺序，对其做ofdm处理，然后发送出去。

2011.03--2011.11　IIC配制模块

通过IIC总线配置不同数据长度的寄存器

2010年11月到2011年2月 op4400配置

从上位机中输入配置不同长度（8位，16位，32位，56位）的寄存器数据到fpga中，对op4400进行配置，并读出寄存器中数据到上位机中进行分析判断，通过改变寄存器中数据，实现中频信号的调制

2010年9月到2010年10月 两组不同信号的采集

两组不同的信号通过相同的数据线传入，判断是哪组数据，然后采集数据并根据数据不同加上不同的数据前帧和后帧，并标明有效数据量，用sdram缓存后读入到上位机中处理

2009年7月到2010年8月 DDR控制器设计

通过输入操作指令，数据长度，起始地址，可以对DDR进行读写操作，外界不必考虑DDR的时序，刷新，充电操作，由控制器直接完成，写数据先写入fifo中，然后DDR将数据从fifo中将数据再写入DDR，读出的数据由数据有效信号指示有效数据 ，ad9788芯片的配置 和 sdram控制器

从上位机发送配置数据到fpga，通过spi总线来配置AD9788，并将ad9788中的寄存器数据读到上位机中

sdram控制代码的编写和调试，划分为控制模块，命令模块，数据模块，top模块。

2011.03 - 2013.07 **北京通号国铁城市轨道技术有限公司**

fpga工程师

2012.02--2013.07 lfct icu 主备低频发码系统

通过fpga控制485串口芯片接收ccu的hdlc协议数据，并根据协议解析，根据发码通道和发码频率信息发出ask码（28，32...76，80hz），当回踩ask信息正确时闭合安全与门，同时用闪烁的灯指示对应的发码通道。

接收的ccu数据必须是连续数据，若超过500ms收不到，主机自动断掉，不再发码。只有主机发码和回复ccu信息，第一轮通信回复已经收到ccu数据信息，第二轮通信回复ask通道发码回采状况，安全与门状况信息。

上电自检，当icu板插入不正确的底板位置时，icu不启动并声光报警，插入正确的底板位置后，启动安全与门通道自检，ask发码通道自检。

当插入一块icu板时，自检后升主，自检或工作中若某一个或者多个通道有故障，关闭有故障的通道，其他通道照常工作，同时报警。

当插入两块icu板时，自检正常的升主，若两块都正常，根据底板拨码开关奇偶情况升主，另外一块降备。工作过程中，主机出现故障，若备机ask通道和安全与门通道正常，现在的主机降备，备机升主接替工作；若备机也有通道不能正常工作，主机将关掉有问题的通道，其他正常通道继续工作，同时报警。

主机亮主机指示灯，备机亮备机指示灯；只有主机可以给ccu回复第一轮和第二轮数据，备机不回复，备机接收ccu的数据，但不发码，并随时根据自身状况和主机状况决定是否升主。

一块icu板子上有两块fpga芯片，主fpga芯片提供ask码，回采ask码，提供安全与门驱动；从fpga芯片不发码，但回采ask信息，并根据回采信息提供安全与门驱动，只有两个fpga芯片同时提供安全与门驱动时，安全与门才能闭合，ask码才能发到轨道上。

上电时，主fpga芯片和从fpga芯片互相通信，对读取的底板拨码开关进行比较，若一致，将继续工作，若不一样，不能工作并报警。

2011.12--2012.02 以太网通讯

选择以太网控制芯片dm9000a，并对原理图设计，pcb制图设计要求进行说明；

完成以太网芯片的寄存器设置，读写控制，用硬件描述语言Verilog 实现tcp/ip协议，然后通过四个串口将数据发送出去，并将串口接收到的数据通过网口发送给上位机。

2013.07 - 2019.02 **清能北京技术有限公司**

fpga工程师

fpga芯片的选型,设计文件的编写,模块划分,支持各种类型编码器的开发,内部通信协议和一些算法的编写和实现。通信干扰问题的分析和解决。

在公司期间,获得发明专利一项,实用新型专利一项。另外还有几项发明和实用新型处于申请之中。

2019.03 - 2020.01 **北京航宇天穹科技有限公司**

高级fpga开发工程师

2019.03--2019.04 IM模块,32路AD信息的采集和sdram存储,并且通过bus总线协议进行传输。AD模块,64路信息采集和温度信号采集并且通过BUS总线传输。ZL模块,32路指令信息采集并跟据BUS总线信息传送

2019.05--2019.06 solidworks画组装结构示意图。AD画原理图和PCB.

2019.06--2019.11 A和B两路3G图像数据同时到来,对图像信息进行连续帧,抽帧采集外理,同时加入图像的附加信息,将图像信息缓存到DDR3中,然后对图像进行RS编码,通过hdlc协议传送接收平台。产品通过验收,成功交付客户,并获得客户好评。

2019.12--2021.01 IM,AD,ZL模块均加入自检信息,按期交给客户,通过客户验收。2020.1样机试车模块,采集信息并加入CRC校验,通过uart传送上位机。通过客户验收,成功交付。

2020.02 - 2021.01 **北京镭航世纪科技有限公司**

高级FPGA开发工程师

完成采集板,处理板,PCIE板的数据传输和采集工作

2020.02--2020.06 采集板采集温度,湿度,风速及定位信息,将这些数据进行打包后通过处理板,PCIE板传输给上位机；成功交付给青岛客户。

2020.07--2020.08 完成无锡国产化FPGA项目。成功交付给无锡客户。

2020.08--2020.12 完成AD采集两路数据通过PCI9656上传上位机。完成PCI9656接收上位机数据,并通过da发出去。完成fpga与dsp之间emif通信。完成fpga与dsp之间的rapidio通信。项目成功交付给合肥客户。(FPGA) (时序优化) (时序约束)