

FPGA 工程师 杜海彬

简 历

基本信息 (General Information)					
姓 名	杜海彬	性 别	男	年 龄	27岁
电 话	18852852363	邮 箱	18852852363@163. com	籍 贯	广西省北流市

教 育 (Education)				
时 间	毕业院校	学院专业	学历	资格证书
2014.09-2018.06	江苏大学	电气学院 生物医学工程	本科	英语四级

工作履历 (Work Experience)			
受聘时间	公司名称	所在部门	职 位
2018.07-至今	无锡新致华桑电 子有限公司	FPGA 研发 2 部	FPGA 设计开发工程师 ASIC 设计前端开发工程师

工作内容简述
FPGA 设计开发，包括设计文档编写，代码编写，代码仿真，实机调试； ASIC 设计前端开发，负责 5G NR PHY 下行符号级去 CP 及 FFT 模块设计，包括设计文档编写，代码编写，代码仿真，协助验证人员完成模块和系统验证，协助帕拉丁和 ZEBU 平台的验证，协助 FPGA 平台调试。

职业技能 (Professional Skills)	
设计工具	XilinxFPGA、Vivado、Modelsim、VCS、示波器、万用表
接口	SDI、HDMI、SPI、UART、IIC、SMI、QSFP、PHY、AXI3、AXI4

项目起始时间	项目名称	项目内容简述
2019.02~2019.10	4K 视频采集卡	负责设计开发兼容 HDMI2.0 和 12G SDI 接口音视频输入的定制视频采集板卡，负责完成包含 UHD、FHD、HD 和 SD 标准的 50 多种视频格式的数据采集和格式转换，最终通过 LVDS 接口输出给底板。负责整个项目的设计开发和调试。

FPGA 工程师 杜海彬

2019.11~2020.01	ZU9EG	负责设计开发搭载 ZU9EG 的定制板卡, 负责完成 ZYNQ 环境搭建, DDR4 全领域读写访问测试, 基础 IO 外围接口测试等。负责整个项目的设计开发和调试。
2020.02~2020.8	MoIP	负责设计开发完成 16 路 12G SDI 视频收发的架构设计和以下功能设计: 1. Microblaze 环境搭建 2. 时钟频率计算, FPGA 温度电压监控 3. Quad3G-SDI(2SI、SQ) 测试
2020.9~2021.3	声表面波滤波器 (SAW)	负责完成 ZYNQ 环境搭建和以下功能设计: 1. AD9912 DDS 输出控制 2. adc16dv160 ADC 数据接收 3. DDR3 内存访问
2021.2~2021.3	MIPI	MIPI CSI-RX 以 RAW10 接收, 经过 RAW2RGB 转换通过 HDMI 输出显示。
2021.4~至今	ASIC 前端设计开发	负责 5G NR PHY 项目中下行符号级去 CP 及 fft 模块的设计开发和调试。该模块包含 BWP 和 SSB 两个模块, BWP 模块实现的功能有 atc 调整, meandelay 和 tae, 去 cp, fft, 相位补偿和负频谱搬移; SSB 模块实现的功能有 meandelay 和 tae, 去 cp, fft, 相位补偿和负频谱搬移, 支持两种模式已知小区同步和邻小区测量